

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-295097

© Int. Cl. 5

G 11 C 16/06
H 01 L 27/115
29/788
29/792

識別記号

序文整理者加

④③公開 平成3年(1991)12月26日

9191-5L	G	11	C	17/00	3	0	9	C
8831-4M	H	01	L	27/10	4	3	4	
7514-4M				29/78	3	7	1	

審査請求 未請求 請求項の数 5 (全 8 頁)

⑤発明の名称 不揮発性半導体記憶装置

②1特 願 平2-95049

㉙出願 平2(1990)4月12日

⑦発明者有留誠一 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
 ⑦発明者白田理一郎 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
 ⑦発明者百富正樹 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
 ⑦発明者岩田佳久 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
 ⑦発明者桐澤亮平 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
 ⑦出願人株式会社東芝 神奈川県川崎市幸区堀川町72番地
 ⑦代理人弁理士鈴江武彦 外3名

明 細 五

1. 発明の名称

不揮發性半導體記憶裝置

2. 特許請求の範囲

(1) 半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層形成された少なくとも一つのメモリトランジスタとこれに直列接続された選択ゲートトランジスタとを有する不揮発性半導体記憶装置において、メモリトランジスタの制御ゲートを0Vとし、基板に高電圧を印加してメモリトランジスタの浮遊ゲートの電子を放出させるデータ消去時、選択ゲートトランジスタのゲート電極に基板に印加する高電位と同極性の所定電位を印加するようにしたことを特徴とする不揮発性半導体記憶装置。

(2) 前記選択ゲートトランジスタのゲート電極に印加する所定電位がその下の絶縁膜にかかる電界を弱める範囲に設定されることを特徴とする請求項1記載の不揮发性半導体記憶装置

(3) 半導体基板上に絶縁膜を介して溝状ゲートト

制御ゲートが積層形成された複数のメモリトランジスタを用いたセルアレイを有する不揮発性半導体記憶装置において、セルアレイ内のメモリトランジスタの制御ゲートを0Vとし、基板に負電圧を印加してメモリトランジスタの浮遊ゲートの電子を放出させるデータ消去時、セルアレイ内の消去したくないメモリトランジスタの制御ゲートに基板に印加する高電位と同極性の所定電位を印加するようにしたことを特徴とする不揮発性半導体記憶装置。

(4) 前記消去したくないメモリトランジスタの制御ゲートに印加する所定電位がその下の絶縁膜にかかる電界を弱める値に設定されることを特徴とする請求項3記載の不揮発性半導体記憶装置

(5) 前記セルアレイは、複数のメモリトランジスタがそれらのソース、ドレインを隣接するものの同士で共用する形で直列接続されたNANDセルを配列して構成されていることを特徴とする請求項3記載の不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、浮遊ゲートと制御ゲートを有する省電力書き替え可能なメモリトランジスタを用いた不揮発性半導体記憶装置(EEPROM)に関するものである。

(従来の技術)

従来よりこの種のEEPROMの中で高集成化可能なもののとして、メモリトランジスタを複数個直列接続したNANDセル型のEEPROMが知られている。一つのメモリトランジスタは半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFETMOS構造を有し、複数個のメモリトランジスタが隣接するもの同士でそのソース、ドレインを共用する形で直列接続されてNANDセルを構成する。NANDセルの一端側ドレインは選択ゲートトランジスタを介してピット線に接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続され

る。この様のメモリセルが複数個マトリクス配列されてEEPROMが構成される。

このNANDセル型EEPROMの動作は次の通りである。データ書き込みは、ピット線から遠い方のメモリトランジスタから順に行う。ロチャネルの場合を説明すると、選択されたメモリトランジスタの制御ゲートには高電位(例えば20V)を印加し、これよりピット線側にある非選択メモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲート電極には中間電位(例えば10V)を印加し、ピット線にはデータに応じて0V(例えば“1”)または中間電位(例えば“0”)を印加する。このときピット線の電位は非選択メモリトランジスタを転送されて選択メモリトランジスタのドレインまで伝わる。データ“1”的ときは、選択メモリトランジスタの浮遊ゲートとドレイン間に高電界がかかり、基板から浮遊ゲートに電子がトンネル注入されしきい値が正方向に移動する。データ“0”的ときはしきい値変化はない。

データ消去は、半導体基板(ウェル構造の場合はn型半導体基板およびこれに形成されたp型ウェル)に高電位を印加し、すべてのメモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲート電極を0Vとする。これにより全てのメモリトランジスタにおいて浮遊ゲートの電子が基板に放出され、しきい値が負方向に移動する。

データ読み出しは、選択ゲートトランジスタおよび選択メモリトランジスタよりピット線側の非選択メモリトランジスタをオンとし、選択メモリトランジスタの制御ゲートを0Vとして、そのコンダクタンスを読むことにより行われる。

この様な従来のNANDセル型EEPROMにおいて、データ消去時、選択ゲートトランジスタに着目すると、ゲート電極が0Vで基板に高電位が印加されているから、そのゲート絶縁膜には高電界がかかる。したがってデータ消去を繰り返すと、選択ゲートトランジスタのゲート絶縁膜の絶縁耐圧の劣化が加速され、やがて絶縁破壊が生じて不良になるという現象が見られる。

同様の問題は、NANDセル型EEPROMに限らず、同様のメモリトランジスタを用いる選択ゲートを持つNOR型EEPROMにもある。

また従来のウェル構造のEEPROMでは、ブロック消去ができないと言う問題があった。

(発明が解決しようとする課題)

以上のように従来のEEPROMには、データ消去時に選択ゲートトランジスタのゲート絶縁膜に高電界がかかり、これが信頼性低下の原因になるという問題があった。

また従来のウェル構造のEEPROMでは、ブロック消去ができないと言う問題があった。

本発明は、この様な問題を解決して信頼性向上を図ったEEPROMを提供することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明は、第1に、浮遊ゲートと制御ゲートを有する少なくとも一つのメモリトランジスタとこれに直列接続された選択ゲートトランジスタを

持つEEPROMにおいて、メモリトランジスタの制御ゲートをOVとし、基板に高電位を印加してデータ消去を行う際に、選択ゲートトランジスタのゲート電極に基板にあたえる高電位と同極性の所定電位を印加するようにしたことを特徴とする。

本発明は、第2に、浮遊ゲートと制御ゲートを持つメモリトランジスタを用いたセルアレイを有するEEPROMにおいて、セルアレイ内のメモリトランジスタの制御ゲートをOVとし、基板に高電位を印加してデータ消去を行う際に、セルアレイ内の消去したくないメモリトランジスタの制御ゲートに基板にあたえる高電位と同極性の所定電位を印加するようにしたことを特徴とする。

(作用)

本発明によれば、EEPROMのデータ消去動作の繰り返しによる選択ゲートトランジスタの絶時的な絶縁耐圧特性の低下が防止され、信頼性の高いEEPROMを得ることができる。

本発明によればまた、同じウェル内のセルア

レイの中の一部をデータ消去するブロック消去が可能なEEPROMを得ることができる。

(実施例)

以下、nチャネルFETMOSをメモリトランジスタとしたNANDセル型EEPROMの実施例について図面を参照して説明する。

第3図は実施例のメモリセルの一つのNANDセル部の平面図であり、第4図および第5図は第3図のそれぞれA-A'およびB-B'断面図である。n型シリコン基板1にp型ウェル2が形成され、素子分離絶縁膜13によって区画された領域に、この実施例では4個のメモリトランジスタM1～M4と2個の選択ゲートトランジスタQs1、Qs2によりNANDセルが構成されている。各メモリトランジスタは、基板上に熱酸化により形成された薄いゲート絶縁膜3₁を介して第1層多結晶シリコン膜による浮遊ゲート4₁～4₄が形成され、この上に層間絶縁膜5を介して第2層多結晶シリコン膜による制御ゲート6₁～6₂が積層形成されている。浮遊ゲート4が電

荷蓄積膜である。各メモリトランジスタの制御ゲート6は横方向に配列されるNANDセルについて連続的に制御ゲート線CG(CG1～CG4)として配設され、通常これがワード線となる。メモリトランジスタのソース、ドレイン並敷層であるn型層8は隣接するもの同士で共用されて4個のメモリトランジスタM1～M4が直列接続されている。これら4個のメモリトランジスタのドレイン側、ソース側にはそれぞれ選択ゲートトランジスタQs1、Qs2が設けられている。これら選択ゲートトランジスタQs1およびQs2のゲート絶縁膜3₂はメモリトランジスタとは別にそれより厚く形成されて、その上に2層のゲート電極4₅、6₅および4₆、6₆が形成されている。これらのゲート電極4₅、6₅および4₆、6₆は、メモリトランジスタM1～M4の浮遊ゲートと制御ゲートを構成する第1層多結晶シリコン膜、第2層多結晶シリコン膜を同時にパターニングして構成されている。これら2層ゲート電極は所定間隔でコンタクトして制御ゲート線CGの方向に連続

的に配設されて選択ゲート線SC1、SC2となる。素子形成された基板上はCVD絶縁膜11により覆われ、この上にピット線12が配設されている。ピット線12は、一方の選択ゲートトランジスタQs1のドレイン並敷層9にコンタクトしている。このドレイン並敷層9には、コンタクトを良好にするためコンタクト孔を通して重ねてn型不純物がドープされている。他方の選択ゲートトランジスタQs2のソース並敷層10は通常共通ソース線として複数のNANDセルに共通に配設される。

各メモリトランジスタでの浮遊ゲート4とp型ウェル2間の結合容量は、浮遊ゲート4と制御ゲート6間の結合容量に比べて小さく設定されている。具体的に形状寸法を説明すれば、浮遊ゲート4および制御ゲート6は幅が1μmしたがってメモリトランジスタのチャネル長が1μmであり、浮遊ゲート4は第5図に示すように素子分離絶縁膜13上に片側1μmずつ延在させている。

浮遊ゲート4下のゲート絶縁膜3₁は例えば

110 Å の熱酸化膜であり、層間絶縁膜 5 は 350 Å の熱酸化膜である。選択ゲートトランジスタ Q_{s1}, Q_{s2}については、ドレイン側のトランジスタ Q_{s1} のチャネル長をソース側のトランジスタ Q_{s2} のそれより長く設定している。これはドレイン側の選択ゲートトランジスタ Q_{s1} にはビット線 1, 2 を介して高電位が印加されることがあるため、バンチスルーを防止する必要があるためである。

この実施例の NAND セル型 EEPROM の動作を、メモリトランジスタ M₁ ~ M₄ からなる NAND セルに着目して次に説明する。第 1 図はデータ消去時の各部の電位関係であり、第 2 図はデータ消去、書き込みおよび読み出しの一連の動作のタイミング図である。データ消去および書き込みは、メモリトランジスタの浮遊ゲートと p 型ウェル間の F-N トンネリングを利用した電荷のやり取りにより行われる。

まずデータ消去は、全ての制御ゲート線 CG₁ ~ CG₄ を 0 V とし、p 型ウェル 2 および n 型基

板 1 に V_{vell} - V_{sub} = 18 V の高電位を印加し、同時に選択ゲート線 SG₁, SG₂ にも 18 V の高電位を印加する。選択ゲート線 SG₁, SG₂ にも 18 V の高電位を印加する点が従来の方式と異なる。これにより NAND セルを構成する全てのメモリトランジスタにおいて浮遊ゲートの電子が p 型ウェルに放出され、しきい値が負方向に移動した消去状態が得られる。

データ書き込みは、ビット線から遠い方のメモリトランジスタから順に行う。まずメモリトランジスタ M₄ での書き込みは、選択された制御ゲート線 CG₄ に 20 V の高電位を与える。これ以外の全ての制御ゲート線 CG₁ ~ CG₃ および選択ゲート線 SG₁ に中間電位として 10 V を印加し、ビット線にはデータに応じて 0 V または 10 V を与える。これにより、ビット線に 0 V が与えられた NAND セルのメモリトランジスタ M₄ ではドレインから浮遊ゲートに電子がトンネル注入され、しきい値が正方向に移動した状態が得られる。ビット線電位が 10 V のときはこのしきい値変化は

なく、元の状態に保たれる。以下順に制御ゲート線 CG₃, CG₂, CG₁ に高電位を与えて同様にしてデータ書き込みを行う。

データ読み出しは、選択された制御ゲート線に 0 V、それよりビット線側の制御ゲート線および選択ゲート線には 5 V 程度の電位をあたえ、ビット線に 1 V 程度の電位をあたえて、電流が減れるか否かを検出することにより行う。

こうしてこの実施例によれば、データ消去時、p 型ウェル 2 および基板 1 と一緒に選択ゲート線にも高電位を印加することにより、選択ゲートトランジスタのゲート絶縁膜にかかる電界が緩和される。したがって選択ゲートトランジスタのゲート絶縁膜がデータ消去の繰り返しにより特性劣化して破壊されることなく、EEPROM の信頼性が向上する。

実施例では NAND セル型 EEPROM を説明したが、本発明は、同様の原理によるメモリトランジスタを用いた NOR 型 EEPROM であっても選択ゲートトランジスタを持つ場合には同様に

適用することができる。

第 6 図はその様な NOR 型 EEPROM に本発明を適用した場合のデータ消去時の電位関係を示している。NOR 型では図示のように 1 個ずつのメモリトランジスタ M₁₁, M₁₂ がそれぞれ選択ゲートトランジスタ Q_{s11}, Q_{s12} を介してビット線に接続されてメモリセルが構成される。データ消去時は、制御ゲート線 CG₁₁, CG₁₂ を 0 V とし、p 型ウェルおよび n 型基板に高電位 V_{vell} - V_{sub} = 18 V を印加すると同時に、選択ゲート線 SG₁₁, SG₁₂ にも高電位 18 V を印加する。

この実施例によっても、選択ゲートトランジスタのゲート絶縁膜にかかる電界が緩和されて、信頼性が向上する。

ところで先の NAND セル型 EEPROM の実施例では、データ消去はすべてのメモリトランジスタのデータが消去される一括消去となっている。しかし実際の EEPROM 応用においては、データ消去時セルアレイの一部についてでは消去せずに残すというブロック消去モードがあることが望ま

れる。その様なブロック消去モードをとり入れた実施例を次に説明する。

第7図は、先のNANDセル型EEPROMの実施例でのメモリアレイ構成において、ブロック消去モードでの各部の電位関係を示し、第8図はその様なモードを採用したデータ消去、書き込みおよび読み出しの一連の動作のタイミング図を示している。第1図、第2図と比較して明らかに、基本的な動作は先の実施例と同様であるが、この実施例においては、消去したくない部分の制御ゲートCG3には、p型ウェルおよび基板に与える高電位18Vと同じ高電位を与えていた。したがって制御ゲート線CG3に沿うメモリトランジスタにおいては、浮遊ゲートと基板間に高電界がかかることがなく、浮遊ゲートからの電子放出はない。これにより1本の制御ゲート線が例えば1ワード線を構成する場合には、1ワード分のデータを残して他のデータが消去される。その後のデータ書き込みおよび読み出し動作は先の実施例と変わらない。

ジスタのゲート絶縁膜の破壊を防止して信頼性向上を図ったEEPROMを得ることができる。

また本発明によれば、データ消去時に選択された制御ゲート線に所定の電位を与えることによって部分消去を可能としたEEPROMを得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のNANDセル型EEPROMのデータ消去時の電位関係を示す図、

第2図は同じくデータ消去、書き込みおよび読み出しの動作を説明するためのタイミング図、

第3図は一つのNANDセル部の平面図、

第4図および第5図はそれぞれ第3図のA-A'およびB-B'断面図、

第6図は他の実施例のNOR型EEPROMのデータ消去時の電位関係を示す図、

第7図は他の実施例のNANDセル型EEPROMのデータ消去時の電位関係を示す図、

第8図は同じくデータ消去、書き込みおよび読み出しの動作を説明するためのタイミング図である。

こうしてこの実施例によれば、制御ゲート線の電位制御によって、ブロック消去等の部分消去が可能なEEPROMが得られる。

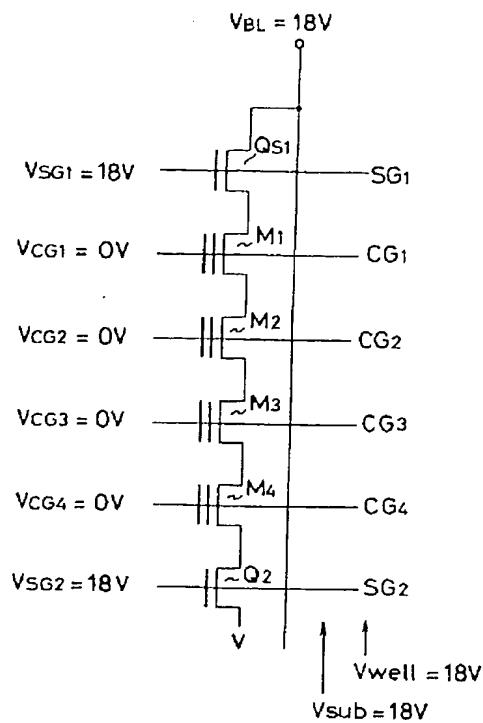
以上の実施例では、データ消去時、選択ゲート線に印加する高電位をp型ウェルおよびn型基板に印加する高電位と同じ値にした場合を説明したが、これらは必ずしも同じ値である必要はない。例えばp型ウェルおよびn型基板に印加する高電位に対して、電位差が10V程度の範囲内で同極性の所定の電位、例えばデータ書き込みに用いられる中間電位或いは高電位、さらに例えば5V程度の外部電源電位等を選択ゲート線に与えれば、選択ゲートトランジスタのゲート絶縁膜にかかる電界が緩和され、その特性劣化が抑制されて一定の効果を得ることができる。部分消去を行う場合の制御ゲート線電位についても同様である。

【発明の効果】

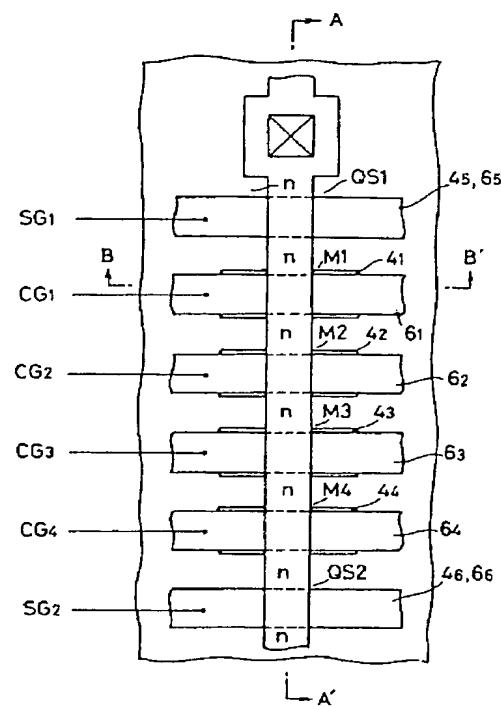
以上述べたように本発明によれば、データ消去時に選択ゲートトランジスタのゲート電極に所定の電位を与えることによって、選択ゲートトラン

M1～M4…メモリトランジスタ、Qs1、Qs2…選択ゲートトランジスタ、1…p型シリコン基板、2…p型ウェル、3…ゲート絶縁膜、4(4'～4'')…浮遊ゲート、5…感間絶縁膜、6(6'～6'')…制御ゲート、4'、4''、6'、6''…ゲート電極、8～10…n型層(ソース、ドレイン拡散層)、11…CVD絶縁膜、12…ビット線。

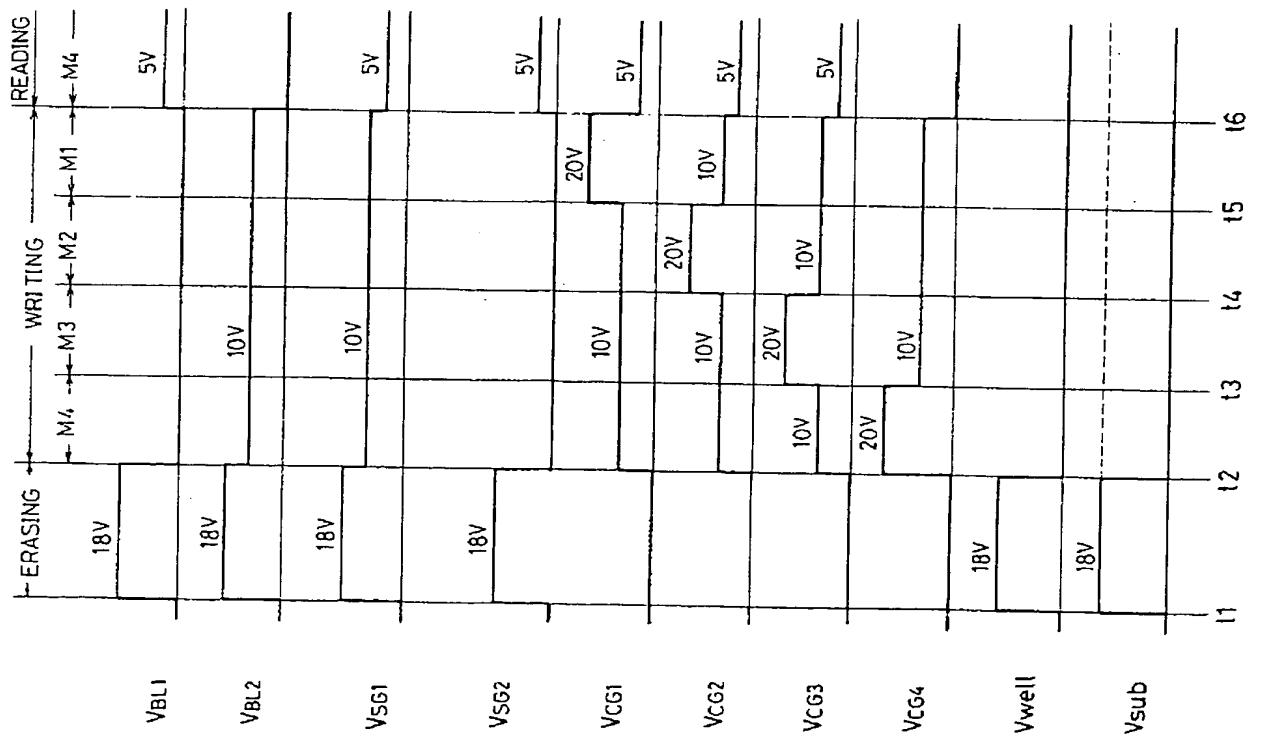
出願人代理人弁理士鈴江武彦



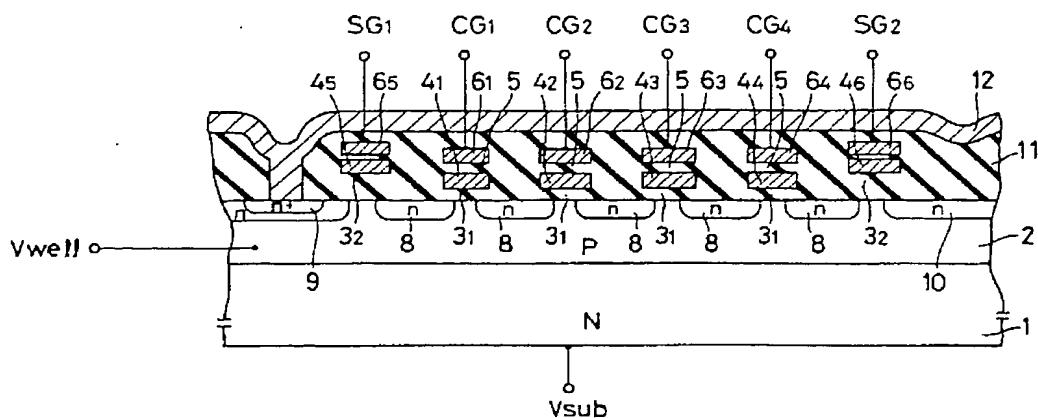
第 1 図



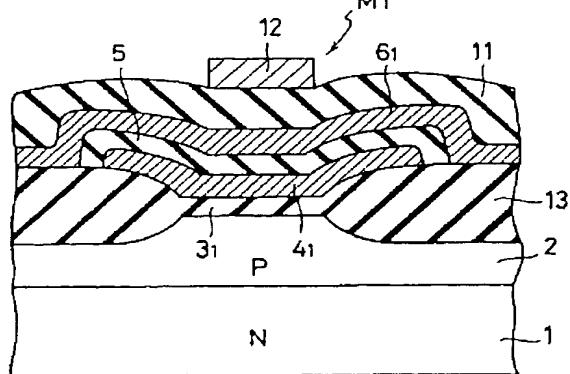
第 3 図



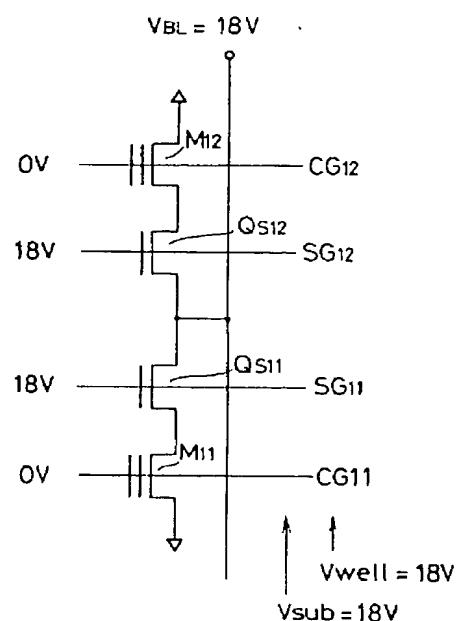
第 2 図



第 4 図



第 5 図



第 6 図

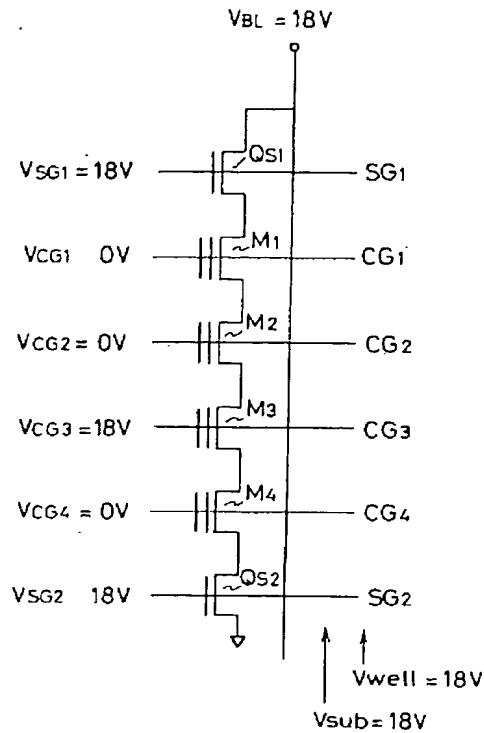


図 7 図

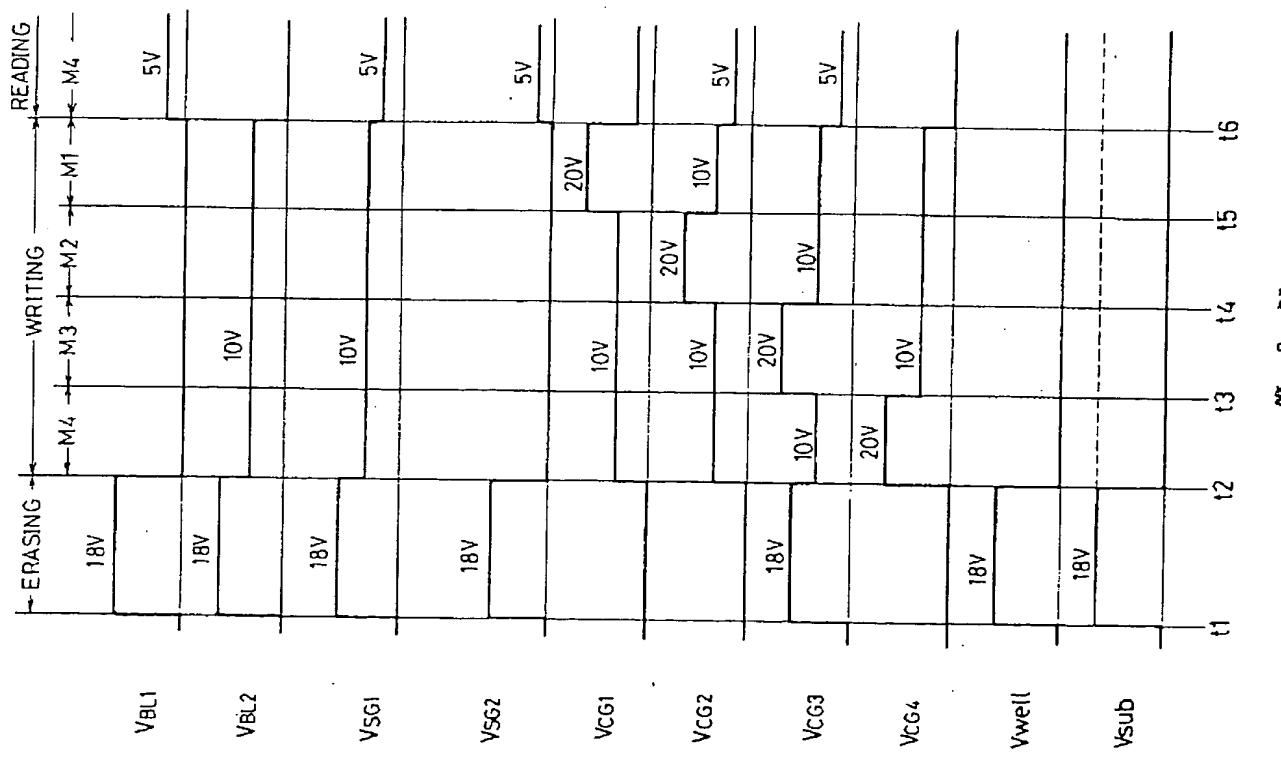


図 8 図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成10年(1998)12月18日

【公開番号】特開平3-295097

【公開日】平成3年(1991)12月26日

【年通号数】公開特許公報3-2951

【出願番号】特願平2-95049

【国際特許分類第6版】

G11C 16/04

16/06

H01L 21/8247

27/115

29/788

29/792

【F1】

G11C 17/00 623 A

633 E

H01L 29/78 371

27/10 434

特許請求の範囲
平成 年 月 日
9.4.14
特許庁長官 福井 寿光 聞

1. 事件の表示
特願平2-95049号
2. 発明の名称
不揮発性半導体記憶装置
3. 補正をする旨
事件との関係 特許出願人
(307) 株式会社 東芝
4. 代理人
東京都千代田区霞が関3丁目7番2号
給業内外局特許事務所内
〒100 電話03(3502)3181(大代表)
(5847)弁理士 鈴江武彦
5. 自発補正
6. 補正により増加する請求項の数 22
7. 補正対象項目名
(1) 特許請求の範囲
8. 補正内容
特許請求の範囲を別紙の通り訂正する。



2. 補正請求の範囲

(1) 半導体基板上に絶縁膜を介して電極層と制御ゲート層が積層形成された少なくとも一つのメモリトランジスタと、前記少なくとも一つのメモリトランジスタに接続される二つの選択ゲートトランジスタとを有する不揮発性半導体記憶装置において、

データ消去時、前記少なくとも一つのメモリトランジスタのうちデータ消去を実行する選択メモリトランジスタの制御ゲート層を第1電位にし、前記選択メモリトランジスタの電荷保持層から電荷を抜くための半導体層を前記第1電位と異なる第2電位にし、前記二つの選択ゲートトランジスタのゲート層と共に前記第2電位又は前記第1電位と前記第2電位の間の中間電位にすることを特徴とする不揮発性半導体記憶装置。

(2) 前記第2電位及び前記中間電位は、それぞれ同様性であることを特徴とする特許第1記載の不揮発性半導体記憶装置。

(3) 前記二つの選択ゲートトランジスタは、前記少なくとも一つのメモリトランジスタの両端にそれぞれ一つずつ接続されるものであることを特徴とする特許第1記載の不揮発性半導体記憶装置。

(4) 制御ゲート層と制御ゲート層を有する互いに直列接続された複数のメモリトランジスタと、前記複数のメモリトランジスタの両端にそれぞれ一つずつ接続される二つの選択ゲートトランジスタとを備える不揮発性半導体記憶装置において、

データ消去時、前記複数のメモリトランジスタのうちデータ消去を実行する選択メモリトランジスタの制御ゲート層を第1電位にし、前記選択メモリトランジスタの電荷保持層から電荷を抜くための半導体層を前記第1電位と異なる第2電位にし、前記二つの選択ゲートトランジスタのゲート層と共に前記第2電位又は前記第1電位と前記第2電位の間の中間電位にすることを特徴とする不揮発性半導体記憶装置。

(5) 选择ゲート層と制御ゲート層を有するメモリトランジスタと、前記メモリトランジスタの両端にそれぞれ一つずつ接続される二つの選択ゲートトランジスタとを備える不揮発性半導体記憶装置において、

データ消去時、前記メモリトランジスタの制御ゲート層を第1電位にし、前記メモリトランジスタの電荷蓄積層から電荷を抜くための半導体層を前記第1電位と異なる第2電位にし、前記二つの選択ゲートトランジスタのゲート層を共に前記第2電位又は前記第1電位と前記第2電位の間の中間電位にすることを特徴とする不揮発性半導体記憶装置。

(6) 前記第2電位及び前記中間電位は、それぞれ同極性であることを特徴とする請求項4又は5記載の不揮発性半導体記憶装置。

(7) 前記中間電位は、データ書き込み時に用いられる中間電位、高電位又は外部電源電位に略等しいことを特徴とする請求項4又は5記載の不揮発性半導体記憶装置。

(8) 前記半導体層は、半導体基板中のウェルであり、前記メモリトランジスタ及び前記選択ゲートトランジスタは、同一のウェル内に形成されていることを特徴とする請求項4又は5記載の不揮発性半導体記憶装置。

(9) 前記データ消去時、前記半導体基板を前記第2電位にすることを特徴とする請求項8記載の不揮発性半導体記憶装置。

(10) 前記二つの選択ゲートトランジスタの一方は、ピット線に接続され、他方は、ソース線に接続され、かつ、前記ピット線に接続される選択ゲートトランジスタのチャネル長は、前記ソース線に接続される選択ゲートトランジスタのチャネル長よりも長く設定されていることを特徴とする請求項8記載の不揮発性半導体記憶装置。

(11) 前記データ消去時、前記ピット線を前記第2電位にすることを特徴とする請求項10記載の不揮発性半導体記憶装置。

(12) 前記浮遊ゲート層と前記ウェルの結合容量は、前記浮遊ゲート層と前記制御ゲート層の結合容量に比べて小さく設定されていることを特徴とする請求項10記載の不揮発性半導体記憶装置。

(13) 半導体基板上に絶縁膜を介して遮蔽柵膜と制御ゲート層が積層形成された複数のメモリトランジスタを用いたセルアレイを有する不揮発性半導体記憶装置において、

データ消去時、前記複数のメモリトランジスタのうちデータ消去を実行する

選択メモリトランジスタの制御ゲート層を第1電位にし、前記選択メモリトランジスタの電荷蓄積層から電荷を抜くための半導体層を前記第1電位と異なる第2電位にし、前記複数のメモリトランジスタのうちデータ消去を実行しない非選択メモリトランジスタの制御ゲート層を前記第2電位又は前記第1電位と前記第2電位の間の中間電位にし、かつ、

前記半導体層を前記第2電位にすることを特徴とするタイミング及び前記非選択メモリトランジスタの制御ゲート層を前記第2電位又は前記中間電位にすることを特徴とするタイミングは、実質的に同じである

ことを特徴とする不揮発性半導体記憶装置。

(14) 前記第2電位及び前記中間電位は、それぞれ同極性であることを特徴とする請求項13記載の不揮発性半導体記憶装置。

(15) 浮遊ゲート層と制御ゲート層を有する互いに直列接続された複数のメモリトランジスタを備える不揮発性半導体記憶装置において、

データ消去時、前記複数のメモリトランジスタのうちデータ消去を実行する選択メモリトランジスタの制御ゲート層を第1電位にし、前記選択メモリトランジスタの電荷蓄積層から電荷を抜くための半導体層を前記第1電位と異なる第2電位にし、前記複数のメモリトランジスタのうちデータ消去を実行しない非選択メモリトランジスタの制御ゲート層を前記第2電位又は前記第1電位と前記第2電位の間の中間電位にし、かつ、

前記半導体層を前記第2電位にすることを特徴とするタイミング及び前記非選択メモリトランジスタの制御ゲート層を前記第2電位又は前記中間電位にすることを特徴とするタイミングは、実質的に同じである

ことを特徴とする不揮発性半導体記憶装置。

(16) 前記第2電位及び前記中間電位は、それぞれ同極性であることを特徴とする請求項15記載の不揮発性半導体記憶装置。

(17) 前記第2電位及び前記中間電位は、共に正の電位であることを特徴とする請求項16記載の不揮発性半導体記憶装置。

(18) 前記中間電位は、データ書き込み時に用いられる中間電位、高電位又は外部電源電位に略等しいことを特徴とする請求項15記載の不揮発性半導体記憶装置。

構成:

(19) 前記半導体層は、半導体基板中のウェルであり、前記複数のメモリトランジスタとこの複数のメモリトランジスタの両端にそれぞれ一つずつ接続される二つの選択ゲートトランジスタが同一のウェル内に形成されていることを特徴とする請求項15記載の不揮発性半導体記憶装置。

(20) 前記データ消去時、前記半導体基板を前記第2電位にすることを特徴とする請求項19記載の不揮発性半導体記憶装置。

(21) 前記二つの選択ゲートトランジスタの一方は、ピット線に接続され、他方は、ソース線に接続され、かつ、前記ピット線に接続される選択ゲートトランジスタのチャネル長は、前記ソース線に接続される選択ゲートトランジスタのチャネル長よりも長く設定されていることを特徴とする請求項19記載の不揮発性半導体記憶装置。

(22) 前記データ消去時、前記ピット線を前記第2電位にすることを特徴とする請求項21記載の不揮発性半導体記憶装置。

(23) 前記浮遊ゲート層と前記ウェルの結合容量は、前記浮遊ゲート層と前記制御ゲート層の結合容量に比べて小さく設定されていることを特徴とする請求項19記載の不揮発性半導体記憶装置。

(24) 半導体基板上に絶縁膜を介して浮遊ゲート層と制御ゲート層が積層形成された少なくとも一つのメモリトランジスタと、前記少なくとも一つのメモリトランジスタに接続される二つの選択ゲートトランジスタとを有する不揮発性半導体記憶装置において、

データ消去を実行する選択メモリトランジスタについて、制御ゲート層を含むメモリトランジスタの各部の電位が浮遊ゲート層の電子を放出させる電位関係に設定されるデータ消去時、前記二つの選択ゲートトランジスタのゲート電位の電位が共にその直下の絶縁膜にかかる境界を越める所定値に設定され、データを消去したくないメモリトランジスタについては、制御ゲート層が前記選択メモリトランジスタとは異なる所定電位とされて、メモリトランジスタの各部の電位が浮遊ゲートから実質的に電子が放出されない第二電位間に設定され、

前記メモリトランジスタの各部は、それぞれ同一のタイミングで前記第一及び第二電位間に設定されることを特徴とする不揮発性半導体記憶装置。

(25) 半導体基板上に絶縁膜を介して浮遊ゲート層と制御ゲート層が積層形成された複数のメモリトランジスタを用いたセルアレイを有する不揮発性半導体記憶装置において、

データ消去を実行する選択メモリトランジスタについて、制御ゲート層を含むメモリトランジスタの各部の電位が浮遊ゲート層の電子を放出させる第一電位間に設定されるデータ消去時、前記二つの選択ゲートトランジスタのゲート電位の電位が共にその直下の絶縁膜にかかる境界を越める所定値に設定され、データを消去したくないメモリトランジスタについては、制御ゲート層が前記選択メモリトランジスタとは異なる所定電位とされて、メモリトランジスタの各部の電位が浮遊ゲートから実質的に電子が放出されない第二電位間に設定され、

前記メモリトランジスタの各部は、それぞれ同一のタイミングで前記第一及び第二電位間に設定されることを特徴とする不揮発性半導体記憶装置。